

Cognome e nome dello studente:

Matricola:

Numero pagine:

1. [5] Data la CPU di Figura 1, specificare il contenuto di **tutti** i bus, quando è in esecuzione il seguente segmento di codice [5]:

```
0x0000 0400  addi $t0, $t1, 24
0x0000 0404  and $s0, $t1, $t1
0x0000 0408  sub $t1, $t0, $t3
0x0000 040C  sw $t1, 32($s0)
0x0000 0410  lw $t1, 64($s0)
```

quando l'istruzione di `addi` si trova in fase di WB. Specificare sullo schema (con colore o con tratto grosso) quali linee, all'interno dei diversi stadi, trasportino dati utili all'esecuzione dell'istruzione correntemente in quello stadio. Ci sono hazard nel codice precedente? Motivare la risposta. Modificare eventualmente la CPU di Figura 1 in modo tale che questo codice venga eseguito correttamente.

2. [3] Cosa si intende per gerarchia delle memorie? Spiegare chiaramente cosa si intenda per **coerenza** e **consistenza** di una memoria. Fare degli esempi. A quali memorie si applicano? Spiegare come funzionano i seguenti protocolli che mirano a garantire la coerenza:

- a) Write-back
- b) Write-through
- c) Write invalidate

Cos'è il lock? A cosa serve?

3. [1] Definire quali sono i tipi di miss della cache e quali le possibili soluzioni per ridurne l'impatto.

4. [1] Cosa si intende per weak scaling e strong scaling? A cosa si applica?

5. [3] Cos'è un kernel benchmark? Perché sono stati introdotti? Cos'è lo SPEC? Quale funzione ha? Che cos'è e che cosa rappresenta il "roof model"? Come viene determinato il roof model? Quali dati servono? Si riferisce a una CPU o ad un particolare programma? Comve vengono reperiti? Fate un esempio, e determinate il roof model per il vostro esempio. Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model?

6. [1] Cos'è il blocking? A cosa serve? Come funziona?

7. [4] Come viene gestito l'input/output dall'ISA MIPS e dall'ISA x86? Identificare i componenti principali di un'interfaccia di una periferica verso il bus e definirne il ruolo. Cos'è un bus? Quali sono le caratteristiche dei bus sincroni e asincroni? Cosa sono i bridge? A cosa servono? Descrivere il protocollo e la struttura di un collegamento daisy chain e fare un esempio di funzionamento Cosa si intende per arbitraggio centralizzato e decentralizzato? Come sono organizzati i dischi ottici? E quelli magnetici? Come viene calcolata la latenza in lettura di un disco? Come si può mascherare?

8. [5] Cosa sono gli interrupt e le eccezioni? Come vengono gestiti dalle architetture Intel e dalle architetture MIPS/ARM? Specificare gli elementi della CPU MIPS che sono dedicati alla gestione delle eccezioni e cosa contengano. Modificare la CPU di Figura 1 per potere gestire un'eccezione di "Overflow". Cosa si intende per mascheramento degli interrupt? Viene praticato nei MIPS? Come vengono gestite le eccezioni e gli interrupt sui MIPS dai sistemi operativi? Scrivere uno scheletro di possibile codice.

9. [2] Modificare la CPU di Figura 1 perché possa gestire questo hazard:

```
0x4000 0000 add $t1, $t2, $t3
0x4000 0004 beq $s1,$t1, ind_salto
```

10. [1] Spiegare chiaramente cosa si intende per stallo e illustrare almeno una situazione in cui si verifica e perché.

11. [4] Disegnare una memoria cache (parte dati + TAG + bit di validità) con la sua porta di lettura per un'architettura MIPS a 64 bit, a 4 vie di 32 KByte per banco, e linee di 8 parole (per ciascun banco). Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Dove posso trovare il dato letto dall'istruzione `lw $t1, 49.152($0)` ( $49.152 = 2^{14}$ )? Da quanti bit è costituita questa memoria complessivamente? Cosa succede quando si verifica una miss? Da quale dei quattro banchi viene scaricato il dato quando occorre caricare una nuova linea? Perché? Spiegare chiaramente come funziona la politica di sostituzione LRU esatta e approssimata.

12. [3] Cos'è la memoria virtuale? Cos'è la Tabella delle pagine? Dove si trova? Cos'è il "Translation Lookaside buffer"? Dove si trova? A cosa servono la memoria virtuale, il TLB e la tabella delle pagine? Che relazione c'è tra la memoria virtuale e la memoria fisica? Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica? Cosa succede quando la CPU chiede una parola alla memoria?

13. [1] Cosa è un page fault? Quando si verifica?

14. [1] Cosa sono i codici di rilevamento e correzione degli errori? Schizzare uno schema a blocchi di un modulo, che mediante il codice di Hamming, possa correggere un errore singolo.

### Registri del register file

0	zero constant 0	16	s0 callee saves
1	at reserved for assembler	...	(caller can clobber)
2	v0 expression evaluation &	23	s7
3	v1 function results	24	t8 temporary (cont'd)
4	a0 arguments	25	t9
5	a1	26	k0 reserved for OS kernel
6	a2	27	k1
7	a3	28	gp Pointer to global area
8	t0 temporary: caller saves	29	sp Stack pointer
...	(callee can clobber)	30	fp frame pointer (s8)
15	t7	31	ra Return Address (HW)

Figure 1

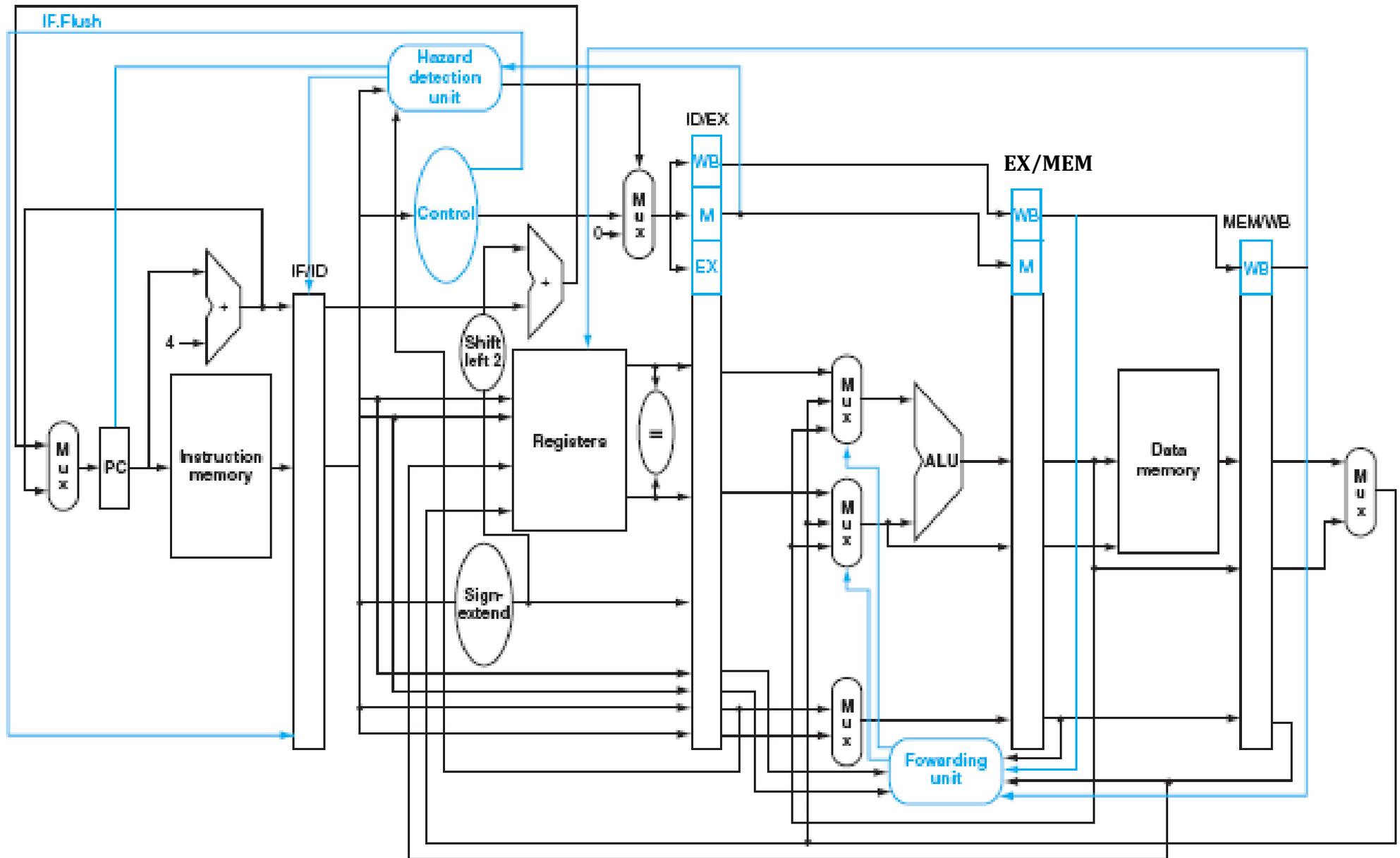


Figure 1

